**Analog IC Design Homework 4 Report**

* Student ID : 110011207
* Name : 林士登
* Department : ESS工科系25級

**Question 1. ﹣Differential Amplifier**

1. 這題的要求是設計一個差動放大器，但因為電路複雜性提高，因此要考慮的trade off也變多，我的策略是先調整differential mode的ADM與bandwidth，接下來再考慮common mode的Acm，最後再測試input range與5V/V頭尾端之Vin\_cm是否讓所有電晶體在飽和區工作。

首先要先將M1、M2、M3都調整到飽和區，在調整參數時發現控制M1與M2的source端，也就是virtual ground電壓點是很重要的，定為Vz，要達到ADM的條件要先探討影響它的參數

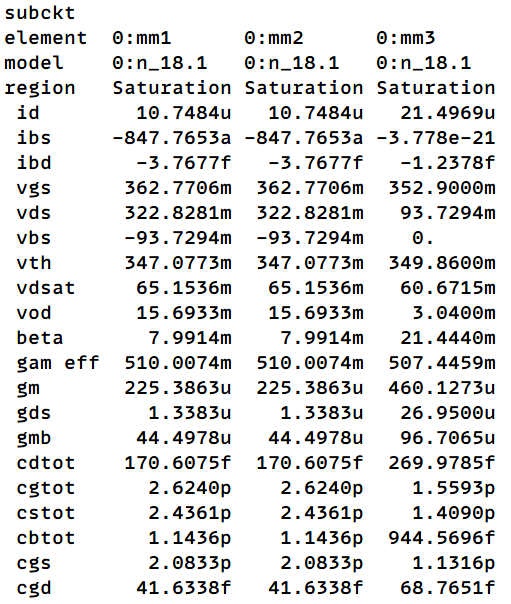
在這邊可以發現提高和增加W/L、RD都可以提高gain值，但是在這些參數之中，我發現調高W/L和會降低bandwidth，因此我盡量使用提高以及降低來使gain提高，提高就要盡量降低Vz，但因為要讓M3保持在saturation狀態，所以也不能把Vz控制地太低，會讓M3進入linear狀態。

由上述推導可以得知Vz與W/L的關係，並進行調整。再來要考慮Acm-cm，為了讓CMRR增加，Acm-cm勢必越小越好，與它有關的參數為輸出的單端電壓Voutp和輸入Vin\_cm，又大訊號的，因此使RD之跨電壓大或使Vin\_cm大都可以有效地提高CMRR，但要注意的是這些調整也會影響ADM的值。

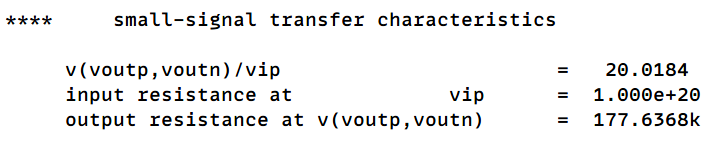
最後input range的要求ADM>5V/V，我們要驗證在邊界的Vin\_cm值帶入電路的所有MOS都會在saturation狀態，這邊主要考慮的地方是電晶體的Vov不能太小，在設計ADM的時候就必須考慮，否則在input range的最小值輸入時可能會因為先前Vov不夠大導致較低的Vin\_cm輸入後Vov變負的值，會讓電晶體進入subthrethold關閉，或者是Vds不夠大導致電晶體進入linear，因此在調整ADM與ACM-CM時就必須考慮Vov之大小。

我最終的參數設定為

1. Small signal parameters



1. Small signal parameters



1. Calculate ADM with parameters in (b)

觀察手算估計值可以發現和模擬值近乎相同。

1. Find common mode gain at 10kHz

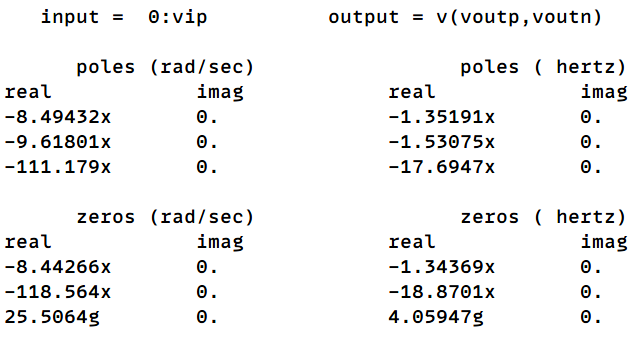


1. Hand calculation for CMRR

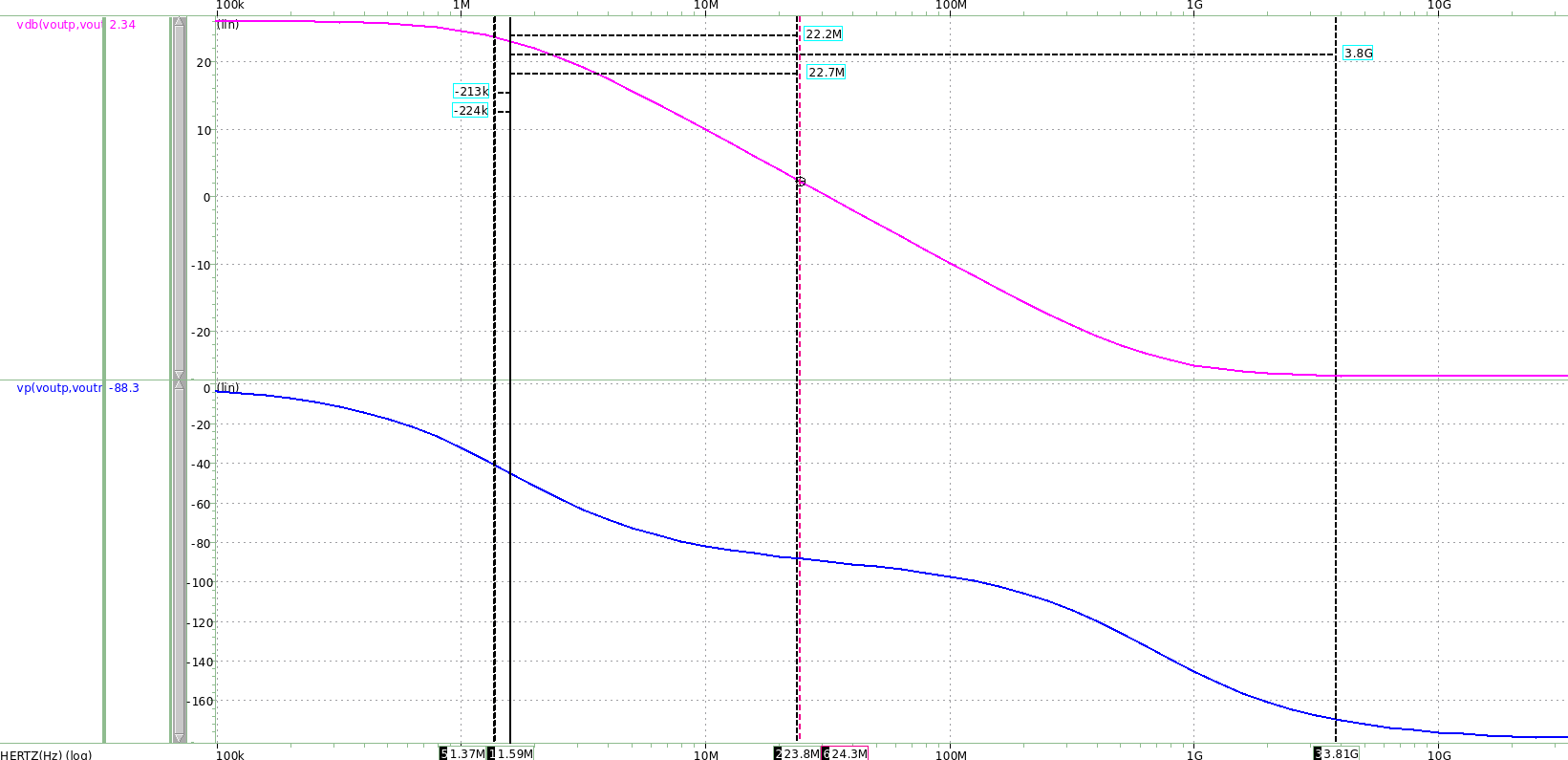
|  |  |  |
| --- | --- | --- |
| Acm\_cm | Ideal (simulation) | Actual (hand calculation) |
| Unit (V/V) | 1.068449315 V/V | 1.12931062 V/V |
| Unit (dB) | 0.5750785 dB | 1.056268241 dB |

從上述公式推導可以發現gain只差了一點，但是因為轉成dB的關係，要做20log(Av)的動作，而這樣會讓原本的誤差增加，最後影響到手算CMRR的準確度，至於誤差來源可能是因為有些節點的頻率響應未考慮到或者是模擬的公式比手算推導出的公式更複雜精準，以至於造成微小誤差。

1. Dominant pole

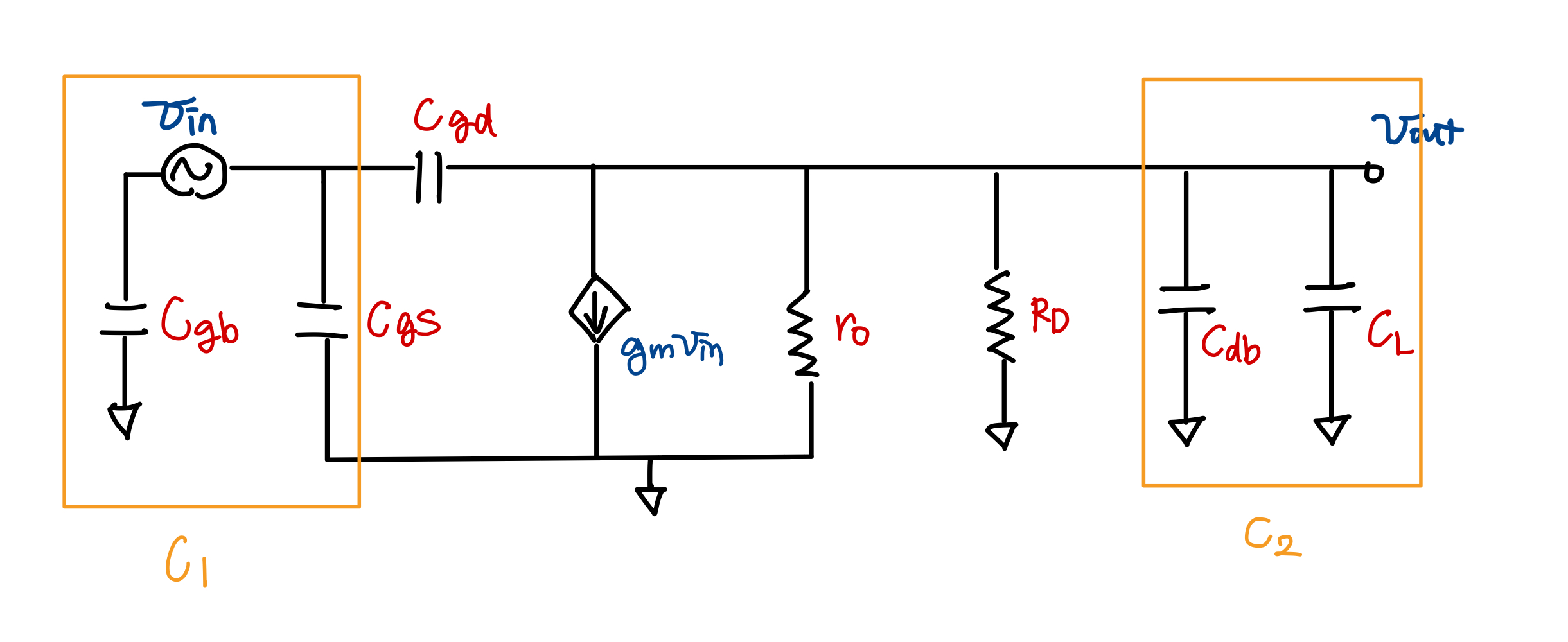


Waveview of ADM/Phase degree diagram



從模擬結果可以看到共有三個pole與三個zero，而在遇到每個pole時會使frequency response之斜率下降20dB/decade，且會使phase轉負45度，而每遇到一個zero會使frequency response之斜率上升20dB/decade，且會使phase轉正45度。由這次的電路頻率響應分析來看，因為第一個pole與第一個zero太相近導致他們造成的結果相消，影響不大，而第一個真正主宰的dominant pole是第二個pole，也就是f=1.53075MHz的位置，相位第一次轉了負45度，接下來相位到90度時第二個zero又與第三個pole趨近相消的關係，直到第三個zero時把相位轉回來趨近平穩。

1. Dominant pole calculation



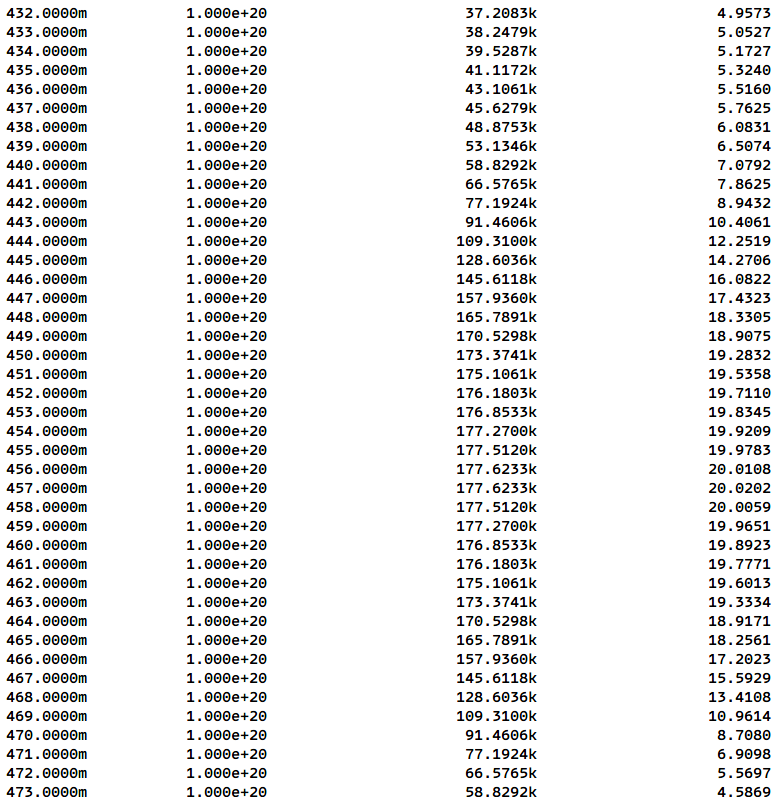
由上述推導可以得到

從手算的結果來看pole估算值與模擬值很相近

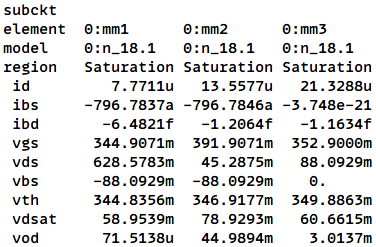
接下來估算-3dB pole之bandwidth

觀察bandwidth可以發現它會比pole所在的頻率稍微大一些，這是因為bandwidth的頻率值是在-3dB gain的條件下求得，因此。

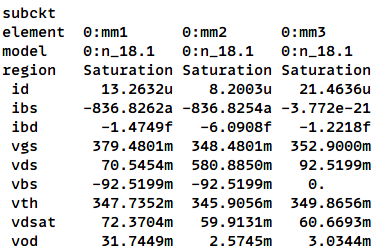
1. Input range



1. Input range minimum Vin\_cm=0.433V



1. Input range maximum Vin\_cm=0.472V



(值得注意的是設計電路時，電晶體的Vov不能設計太小，否則測試input range會跳出飽和區)

1. FOM discussion

因為，因此目標很明確的要增加input range以及bandwidth然後降低總電流，但我發現total current與bandwidth互相為trade-off，當減少電流並且讓RD變大時，會讓bandwidth下降，但總體FOM會下降一點點，因此FOM要進步顯著的話，我後來選擇設計大一點的input range，對於整體FOM的影響會超過total current與bandwidth之影響，最終我擬定的策略為增加input range為優先，第二為減少total current，而最後才是考慮加大bandwidth。

我最終的。

**Question 2. ﹣Wide-Swing cascade current source**

1. 首先分析此電路的資訊，若要讓四顆電晶體在飽和區

整理M4飽和條件得到

這條式子說明可以選定Vb大小粗估的範圍

接下來分析左側與右側電流的關係

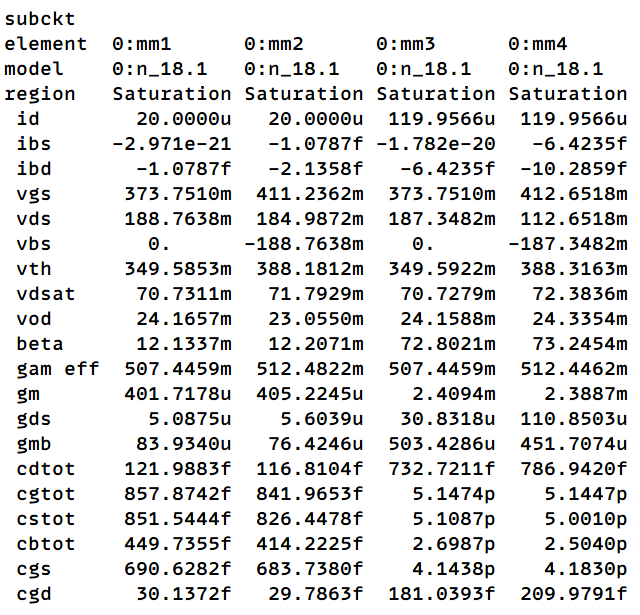
若選定(W/L)3=6(W/L)1，代表需要才能達到電流六倍的關係，因此要選定L1=L3才能讓它們閥值電壓相近。再來考慮M1與M2電流相等之公式

我選定一個接近的Vx=0.4V，這樣可以讓M1較容易達到飽和，再考慮M2飽和狀態公式

最後綜合以上推導且為了電路的平衡，可以選定尺寸

最終量測出來的Iout=119.9566uA、Rout=816.5623k。

輸出電阻的估算值也可以藉由cascode stage之公式來估算



1. 這題是依據(a)小題的電路架構將Vb用M5與M6產生，而要調整M5與M6的size使兩顆電晶體都要在飽和區與Vin1=Vb=0.6V，我使用以下方法分析。(令M5 drain節點電壓為Vx)

由上式得知，若要使Vin1=Vb=0.6V，M5的地方下手較容易調整，因為公式中僅有(W/L)5一個參數需要調整，但是M6式子中多了Vx一個節點需要考慮，因此若電流要足夠小(20uA)且Vin1要同時等於0.6V，(W/L)5就要足夠小。

再來，要考慮M5與M6的飽和狀態，在調整過程中，我發現較困難的點式讓M5進入飽和狀態，因題目設定在Vin1=0.6V，所以為了防止M5進入triode區，比較理想的方法為提高Vx的電壓(M5與M6之間的節點)，又ID固定，因此讓Vx點電壓上升的方法為調高M5的電阻值，因此策略為降低通道長度L5，使ro5因為SCE的效應提升。

再來估算(W/L)5大約需要取在甚麼區間，取Vin1=Vb=0.6V、Vth5=0.4V、unCox=300u，可得

但在調參數時發現Vx太小導致M5在線性區，因此由上述推導降低L值，選定得到Vin1=0.595V，而為了使左右側電路平衡Vx=Vy (M6 source=M4 source)，因此選，與M4 size一樣能保證M6與M4之source之電壓值相同。

綜合上述推論與計算，最後選定的 ，使電壓節點，且M5與M6皆飽和，。

